

sygnały na magistralę. Można wyróżnić trzy typy układów scalonych takie jak bramki o otwartym kolektorze wyjściowym, bramki trójstanowe i bramki o przeciwsobnym wzmacniaczu wyjściowym. Obciążalność prądową w stanie niskim można podzielić na trzy pod-kategorie o obciążalności 16mA, 48mA i 64mA.

4. Karta modułu *Slave*

W tej części pracy dyplomowej zaprezentowany zostanie projekt karty modułu *Slave*, z wykorzystaniem której wykonywane będą ćwiczenia laboratoryjne związane z nauką działania układów elektroniki cyfrowej.

4.1. Założenia projektu

Celem tego projektu jest wykonanie karty wspomagającej naukę działania układów elektroniki cyfrowej. Elementy karty *Slave* odpowiedzialne za obsługę sygnałów z magistrali VME powinny być jak najprostsze i składać się z elementów, których działanie omawiane jest w ramach zagadnień przedmiotu laboratoryjnego. Wiedza osób wykonujących ćwiczenia laboratoryjne na temat zasad funkcjonowania standardu VME może ograniczyć się do głównych zagadnień związanych z transmisją danych w cyklu zapisu/odczytu i adresowania.

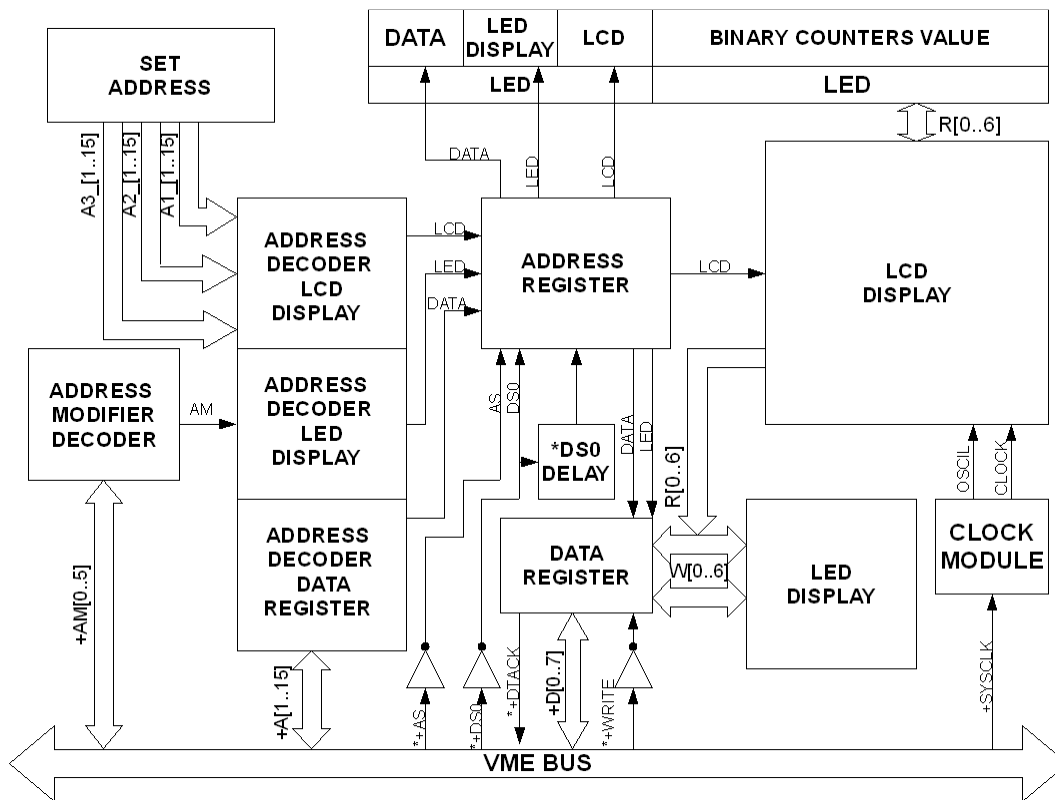
4.2. Własności karty modułu *Slave*

Zaprojektowana karta obsługuje cykl zapisu i odczytu o 16 bitowej szynie adresowej¹⁶ i 8 bitowej szynie danych (A16/D08). Przewidziano również możliwość obsługi 16 bitowego cyklu adresowania (A16). Dodatkowo do przeprowadzenia ćwiczeń wymagane jest, aby dany moduł kontrolera posiadał moduł nadajnika zegara systemowego.

4.3. Schemat blokowy karty modułu *Slave*

Na rysunku 10 przedstawiono schemat blokowy karty modułu *Slave*, która posłuży do opisu zasad jej funkcjonowania:

¹⁶ W rzeczywistości szyna adresowa A16 jest 15 bitowa, ponieważ standard VME pomija wyprowadzenia adresu A00. Funkcje linii A00 w standardzie VME przejmują sygnały strobu *DS[0..1] czyniąc linie A00 niepotrzebną.



Rysunek 10 Schemat blokowy modułu karty *Slave*¹⁷

Źródło: opracowanie własne.

Schemat ten składa się z bloków, którym przypisane są odpowiadające im funkcje. Wszystkie bloki oprócz bloków *LCD DISPLAY* i *LED DISPLAY* są funkcjonalnymi modułami związanymi z obsługą sygnałów zgodnych ze standardem VME. Bloki *LCD DISPLAY* i *LED DISPLAY* zawierają układy, których uruchomienie jest docelowym zadaniem w trakcie trwania zajęć laboratoryjnych.

4.4. Zasady funkcjonowania karty modułu *Slave*

Schemat blokowy z rysunku 10 obrazuje w jaki sposób odbywa się obsługa układów z bloków *LCD DISPLAY* i *LED DISPLAY* przez standard VME. Opis działania poszczególnych bloków z rysunku 10 znajduje się w podpunktach od 4.4.1 do 4.4.6.

¹⁷ Na schemacie z rysunku 10 zastosowano podobną konwencję opisu aktywnego stanu logicznego sygnałów jak w specyfikacji IEEE-1014-1987 ze znakiem (*), natomiast znak „+” przy nazwie sygnału oznacza, iż sygnał ten pochodzi bezpośrednio z magistrali VME.

4.4.1. Dekodowanie adresu

Celem dekodera adresów jest dekodowanie wystawianych na magistralę adresów z cyklu zapisu/odczytu oraz adresowania. Składa się on z następujących modułów:

ADDRESS MODIFIER DECODER – określa jaką szerokość szyny adresowej oraz jaki typ transmisji¹⁸ należy zdekodować. W tym celu moduł ten monitoruje stan sygnałów na liniach +AM[0..5]. Ustawiony jest na zdekodowanie dwóch typów transmisji, które wykorzystują 16 bitową szerokość szyny adresowej. Są to transmisje z krótkim dostępem nadrzędnym i krótkim dostępem nieuprzywilejowanym, którym odpowiednio przypada kod (w szesnastkowym systemie liczbowym) 2D i 29. Jeżeli na magistrali pojawi się cykl transmisji o wyżej wymienionym kodzie zostanie on zdekodowany, czemu odpowiada zmiana stanu sygnału AM, który to z kolei uruchamia moduł *ADDRESS DECODER*.

ADDRESS DECODER – monitoruje adres wysyłany na magistralę. Składa się on z 8-bitowych komparatorów, które podłączone są do linii adresowych odpowiadających młodszej i starszej połowie 16 bitowego adresu i porównują go z ustawionym adresem z modułu *SET ADDRESS*. Jeżeli ustawiony adres zgadza się z adresem wystawionym z magistrali na szynach A01-A15 oraz został zdekodowany sygnał AM to moduł ten wystawia jeden z sygnałów adresowych LCD, LED lub DATA.

SET ADDRESS – służy do ustawiania adresu modułów *DATA REGISTER*, *LCD DISPLAY* i *LED DISPLAY*. Składa się z dwupozycyjnych przełączników, którym przypisane są stany logiczne 0 lub 1. Przełączniki są pogrupowane po dwa zestawy 8 przełączników przydzielonych na jeden adres. Do każdej nóżki przełącznika są doprowadzone sygnały z odpowiednich wejść komparatorów z modułu *ADDRESS DECODER*. Przystawiając pozycję przełączników ustawiamy odpowiednio trzy adresy do zdekodowania.

ADDRESS REGISTER – odpowiedzialny jest za zapamiętywanie zdekodowanych adresów z modułu *ADDRESS DECODER*. Składa się on z trzech przerzutników typu D, odpowiednio dla każdego adresu. Adres zapamiętywany jest na dwa sposoby, zależnie od typu cyklu transmisji. Dla modułów obsługiwanych przez cykl transmisji adresowej adres

¹⁸ Typu transmisji nie należy mylić z cyklem transmisji.

zapisywany jest w momencie wystawienia sygnału $*+AS$ na magistralę. Zapisywanie zachodzi na opadające (wzrastające) zbocze sygnału $*+AS$ (AS). Zapamiętane w ten sposób adresy są wystawione do ponownego zdekodowania tego samego adresu. Ponowne zaadresowanie powoduje zanegowanie wcześniej zatrzaśniętego stanu logicznego. Dla cyklu transmisji zapisu/odczytu zapamiętywanie adresu zachodzi w odpowiedzi na wystawienie na magistralę sygnału $*+DS0$ (DS0). Zapisywanie w tym przypadku zachodzi zarówno w odpowiedzi na opadające zbocze jak i na zmianę stanu logicznego. Zmiana stanu logicznego na aktywny (czemu odpowiada wysoki stan sygnału DS0) powoduje ustawienie wejść sterujących przerzutnika w stan przrzucania stanów logicznych z wejścia D na wyjścia Q i \bar{Q} , natomiast wzrastające zbocze sygnału DS0 zapisuje zdekodowany adres. Adres jest zapamiętany do momentu zanegowania sygnału $*+DS0$ (DS0). Czas ten zgodnie z rysunkami 5 i 6 wystarcza do poprawnego przeprowadzenia transmisji zapisu/odczytu.

$*DS0 DELAY$ – jak wspomniano w opisie modułu *ADDRESS REGISTER* w cyklu zapisu/odczytu adres zatrzaśkiwany jest zarówno w odpowiedzi na zmianę stanu logicznego jak i na zbocze sygnału $*+DS0$. Zmiana stanu logicznego sygnału $*+DS0$ powoduje ustawienie trybu zatrzaśkiwania oraz inicjalizuje stany wyjść przerzutnika, natomiast zbocze tego sygnału przepisuje stan logiczny z wejścia D przerzutnika na jego wyjścia, przy czym inicjalizacja wyjść przerzutnika zachodzi w czasie określonym w specyfikacji danego zatrzaśki. Aby stan logiczny z wejścia D przerzutnika mógł zostać przepisany, sygnał $*+DS0$ (DS0), który wchodzi na wejście zegarowe przerzutnika musi zostać opóźniony co najmniej o czas potrzebny na inicjalizację. W przypadku pojawienia się tego samego sygnału na wejściach sterujących i wejściu zegarowym w tej samej chwili czasu nie spowoduje zatrzaśki stanu logicznego z wejścia D, ponieważ aktywne zbocze pojawi się przed zakończeniem inicjalizacji wyjść. Aby zapobiec temu zjawisku przewidziano układ składający się z bramek logicznych (AND), które opóźniają sygnał $*+DS0$ tak aby sygnał ten pojawił się na wejściu zegarowym po zakończeniu inicjalizacji wyjść przerzutnika.

4.4.2. Zapis i odczyt danych z rejestru *DATA REGISTER*

Moduł *DATA REGISTER* jest komórką pamięci przeznaczoną do zapisu i odczytu informacji. Składa się on z dwóch rejestrów z wpisem równoległym o maksymalnej pojemności 1 bajtu. Jeden rejestr przechowuje dane zapisywane, natomiast drugi rejestr

przechowuje dane odczytywane. Aby móc zapisać lub odczytać dane do rejestru należy przeprowadzić cykl zapisu lub odczytu z zależnościami czasowymi zgodnymi z rysunków 5 i 6. Sygnał kończący transmisję $*+DTACK$ wystawiany jest automatycznie przez zatrząsk znajdujący się w tym module.

4.4.3. Moduł funkcjonalny *CLOCK MODULE*

Moduł *CLOCK MODULE* składa się z trzech liczników binarnych zawierających po dwa 4 bitowe liczniki, które dzielą sygnał zegara systemowego na dwa sygnały o częstotliwościach 244Hz i 1Hz. Sygnały te wykorzystywane są przez moduł *LCD DISPLAY* do odświeżania wyświetlacza LCD i do taktowania liczników binarnych znajdujących się w tym module.

4.4.4. Moduł *LED DISPLAY*

Moduł *LED DISPLAY* składa się z dwóch 7-segmentowych wyświetlaczy LED oraz dwóch transkoderów kodu BCD na kod 7-segmentowego wyświetlacza. Moduł ten odczytuje dane zapisane w module *DATA REGISTER* i wyświetla je w postaci liczby dziesiętnej z zakresu od 0 do 64. Aby wyświetlić daną liczbę należy najpierw wpisać ją do rejestru i zdekodować adres modułu LED. Sygnał LED powoduje przesłanie danych z modułu *DATA REGISTER*, do wejść transkoderów. Istnieje również możliwość odczytu danych z wejść transkoderów.

4.4.5. Moduł *LCD DISPLAY*

Jest to moduł, który składa się z liczników binarnych, transkoderów kodu BCD na kod 7-segmentowy oraz wyświetlacza LCD. Zadaniem tego modułu jest wyświetlanie w postaci liczby dziesiętnej liczby zliczanych zboczy sygnałów *CLOCK* przez liczniki binarne. Do uruchomienia tego modułu są potrzebne dwa sygnały zegarowe o częstotliwości 244Hz (*OSCIL*) do odświeżania wyświetlacza LCD oraz sygnału o częstotliwości 1Hz (*CLOCK*) dołączonego do wejścia zegarowego liczników binarnych. Po zaadresowaniu tego modułu sygnał *LCD* włącza liczniki binarne, które zliczają liczbę zboczy sygnałów *CLOCK*. Wyjścia liczników binarnych połączone są z wejściami transkoderów. Przetworzona liczba zliczonych zboczy sygnału *CLOCK* jest wyświetlana na wyświetlaczu LCD.

4.4.6. Diody LED

Diody te zostały umieszczone na karcie w celach diagnostycznych. Diody LED, LCD oraz DATA zaświecają się w przypadku poprawnego zdekodowania danego adresu. Tym samym diody te informują studentów oraz prowadzącego, o tym że dekodер adresu został dobrze zmontowany. *BINARY COUNTER VALUE* są diodami wyświetlającymi w postaci binarnej wartości zliczane przez liczniki binarne. Dzięki temu studenci oraz prowadzący będą mieli pewność, że na wejścia transkoderów wysłane zostały sygnały o prawidłowych wartościach, co z kolei stanowi informację, że połowa ćwiczenia związanego z uruchomieniem wyświetlacza LCD jest wykonana poprawnie. Ma to na celu pomóc studentom zakończyć to ćwiczenie w czasie wyznaczonym przez prowadzącego ćwiczenia laboratoryjne.

4.5. Schematy elektroniczne

Projekt karty *Slave* został wykonany w programie Altium Designer w wersji 6.8. Projekt schematów elektronicznych wykonano z zastosowaniem struktury hierarchicznej. Struktura ta zawiera nadrzędny schemat, który definiuje połączenia pomiędzy poszczególnymi podrzędnymi schematami. Schematem nadrzędnym jest schemat „Eurocard VME 6U”, a schematami podrzędnymi schematy: „Dekoder adresu-1”, „Dekoder adresu-2”, „Układ do wymiany danych”, „LED”, „LCD”, „Dzielnik częstotliwości”. Wymienione schematy znajdują się na rysunkach¹⁹ od 11 do 17, natomiast opis poszczególnych schematów zawarto w podpunktach od 4.5.1 do 4.5.7. W opisach z podanych punktów nie stosowano konwencji zapisu aktywnego stanu logicznego jak w specyfikacji IEEE-1014-1987. Nie stosowanie tej konwencji ma na celu nauczania osoby wykonującej ćwiczenia odróżniania aktywnych stanów logicznych. Zamiast stosowania symbolu (*) stosuje się symbol negacji jako kreski nad nazwą sygnału, która opisuje tylko, że dany sygnał jest zanegowany w stosunku do sygnału bez kreski, natomiast nie określa jego aktywnego stanu logicznego.

¹⁹ Rysunki schematów w wysokiej rozdzielczości znajdują się na dołączonej płycie DVD w folderze „Projekty płyt PCB i schematy elektroniczne” w plikach PDF, zawierających schematy zarówno modułu *Slave* jak i modułu kontrolera i modułu *Master*.