

Разработка интерфейса VME для модулей аналоговой обработки сигналов в эксперименте “ALICA T0”

	Базовый адрес	Регистры данных	Статусные регистры
TVDC	1777XX	177700; 177702	-
MPD	1775XX	177500; 177502; 177504; 177506	177510
Delays 1	1774XX	177400; 177402; 177404; 177406	177410
Delays 2	1773XX	177300; 177302; 177304; 177306	177310
Delays 3	1772XX	177200; 177202; 177204; 177206	177210
Delays 4	1771XX	177100; 177102; 177104; 177106	177110
Delays 5	1770XX	177000; 177002; 177004; 177006	177010
Delays 6	1767XX	176700; 176702; 176704; 176706	176710
OR	1764XX	176400	176400
TUT0	1760XX	176000; 176002; 176004; 176006; 176010	176012; 176014

ТЕХНИЧЕСКОЕ ЗАДАНИЕ:

- Функциональные модули VME входят в состав узко - специализированной системы и предназначены для эксплуатации в эксперименте “ALICA T0”;
- В состав разрабатываемых модулей системы входят 5 типов программно – управляемых модулей;
- Максимальное число разрядов данных, используемых в модулях, не превосходит 16 разрядов;
- Максимальное число адресуемых модулей системы – до 16, и они могут размещаться или в 1 или в 2-х крейтах VME;
- Разрабатываемый интерфейс должен полностью удовлетворять требованиям стандарта VME;
- Интерфейс должен быть реализован на современной элементной базе ПЛИС с возможностью перепрограммирования по FPGA;
- Весь интерфейс должен находиться в микросхеме ПЛИС, и не иметь внешних элементов (кроме кварцевого генератора и разъема FPGA);
- Интерфейс должен обеспечивать возможность записи/чтения данных во всех внутренних регистрах по шинам VME для контроля работоспособности;
- Число адресуемых внутренних регистров – от 1 до 8;
- Готовность модулей к работе должно определяться по опросу готовности статусных регистров или по запросу прерывания с наивысшим приоритетом IRQ7;
- Если интерфейс использует режим прерывания, то он должен устанавливать на шинах данных D07 –D00 – вектор прерывания.
- Схема интерфейса должна быть по возможности универсальной и иметь минимальные различия с точки зрения разводки в модулях

На первом этапе работ были проведены сравнительные оценки перспективных элементных баз микросхем ПЛИС.

И по ряду причин была выбрана элементная база фирмы XILINX - являющейся лидером на мировом рынке микросхем программируемой логики.

Перепрограммируемые пользователем базовые матричные кристаллы (Field Programmable Gate Array, или FPGA), перепрограммируемые микросхемы с традиционной PAL архитектурой (Complex Programmable Logic Devices, или CPLD), а

также средства их проектирования и отладки, выпускаемые фирмой Xilinx, в настоящее время широко используются в устройствах с цифровой обработкой информации.

Помимо всех преимуществ стандартных БМК, при использовании FPGA разработчик электронных устройств получает возможность реконфигурации кристалла на рабочем месте. Это даёт принципиально новые средства коррекции ошибок и существенно сокращает время выхода устройства на рынок готовой продукции.

Основные преимущества семейства 9500 –

- напряжение питания семейства +5 вольт – стандартное в крейтах VME;
- выходные буферы ПЛИС позволяют работать непосредственно с шинами данных крейта;

ПЛИС этого семейства не требует установки внешней памяти.

Семейство - XC9500

Особенности семейства

- Высокая производительность
 - Задержка от входа до выхода по всем выходам до 5 нс
 - Частота работы 16-разрядного счетчика до 125 МГц
- Широкий диапазон выбора МС по степени интеграции
 - От 36 до 288 макроячеек, или от 800 до 6 400 вентиляей
- Возможность перепрограммирования в системе с напряжением питания 5 В
 - Не менее 10000 циклов записи/стирание
 - Программирование/стирание в полном коммерческом диапазоне напряжения питания и температур
- Расширенные возможности закрепления выводов перед трассировкой
- Наличие гибкого функционального блока 36V18
 - Любая из 18 макроячеек функционального блока может выполнять логическую функцию 36 переменных от 1 до 90 термов
 - Глобальные и программируемые тактовые сигналы, сигнал разрешение выхода, сигналы установки и сброса триггера
- Программируемый режим пониженной потребляемой мощности в каждой макроячейке
- Управление задержкой сигнала по любому из выходов
- Возможность назначения пользователем "общего" вывода
- Расширенная возможность защиты схемы от копирования

- Производятся по технологии КМОП 5 В Fast-FLASH
- Возможность параллельного программирования нескольких МС XC9500

Обзор семейства

Семейство XC9500 имеет структуру, фирменное название которой CPLD (Complex Programmable Logic Device – комплексные программируемые логические устройства (КПЛУ)). Структура CPLD напоминает структуру EPLD – основу их составляют макроячейки PAL-типа, позволяющие получать логические функции многих переменных с ограниченным числом термов. Микросхемы этого типа могут быть использованы для создания нестандартных АЛУ, дешифраторов, мультиплексоров и т.д., т.е. таких устройств, где требуется логические функции многих переменных и небольшое количество триггеров.

МС семейства XC9500 могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование "на ходу".

Для программирования МС семейства XC9500 не требуется программатор – перепрограммирование осуществляется сигналами от элементов с напряжением питания 5 В через специальные выводы МС (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования МС превышает 10000. Записанная конфигурация может сохраняться более 20-ти лет.

В состав семейства XC9500 входят шесть МС, емкостью от 36 до 288 макроячеек (от 800 до 6 400 вентиляей, соответственно) в различных корпусах. Все МС семейства XC9500 совместимы по контактам, что обеспечивает возможность легкого перехода от одной МС к другой в том же корпусе.

- Мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 3.3 В или 5 В
- Полная поддержка периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG)

В Табл. 1 представлены основные параметры МС семейства XC9500, а в Табл. 2 все доступные корпуса с указанием количества пользовательских контактов.

Табл. 1. МС семейства XC9500

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1600	2400	3200	4800	6400
Число триггеров	36	72	108	144	216	288
t_{PD} [нс]	5	7.5	7.5	7.5	10	10
t_{SU} [нс]	3.5	4.5	4.5	4.5	6.0	6.0
t_{CO} [нс]	4.0	4.5	4.5	4.5	6.0	6.0
f_{CNT} [МГц]	100	125	125	125	111.1	111.1
f_{SYSTEM} [МГц]	100	83.3	83.3	83.3	66.7	66.7

Примечание: f_{CNT} —частота работы 16-ти разрядного счетчика

f_{SYSTEM} —внутренняя частота для проектов, использующих несколько функциональных блоков

Все выводы ПЛИС семейства XC9500 можно подразделить на 3 группы:

1. Выводы JTAG-порта, через которые производится периферийное сканирование и программирование
2. Логические выводы, которые могут выполнять функцию входа, выхода или совмещенного входа-выхода (I/O)

3. Управляющие выводы, на которые подаются глобальные управляющие сигналы тактирования (GCK), установки/сброса (GSR) и управления третьим состоянием (GTS). Управляющие выводы могут также выполнять функции логических выводов.

Также имеются выводы “земли” и питания, причем отдельно питаются блоки ввода-вывода (от на-

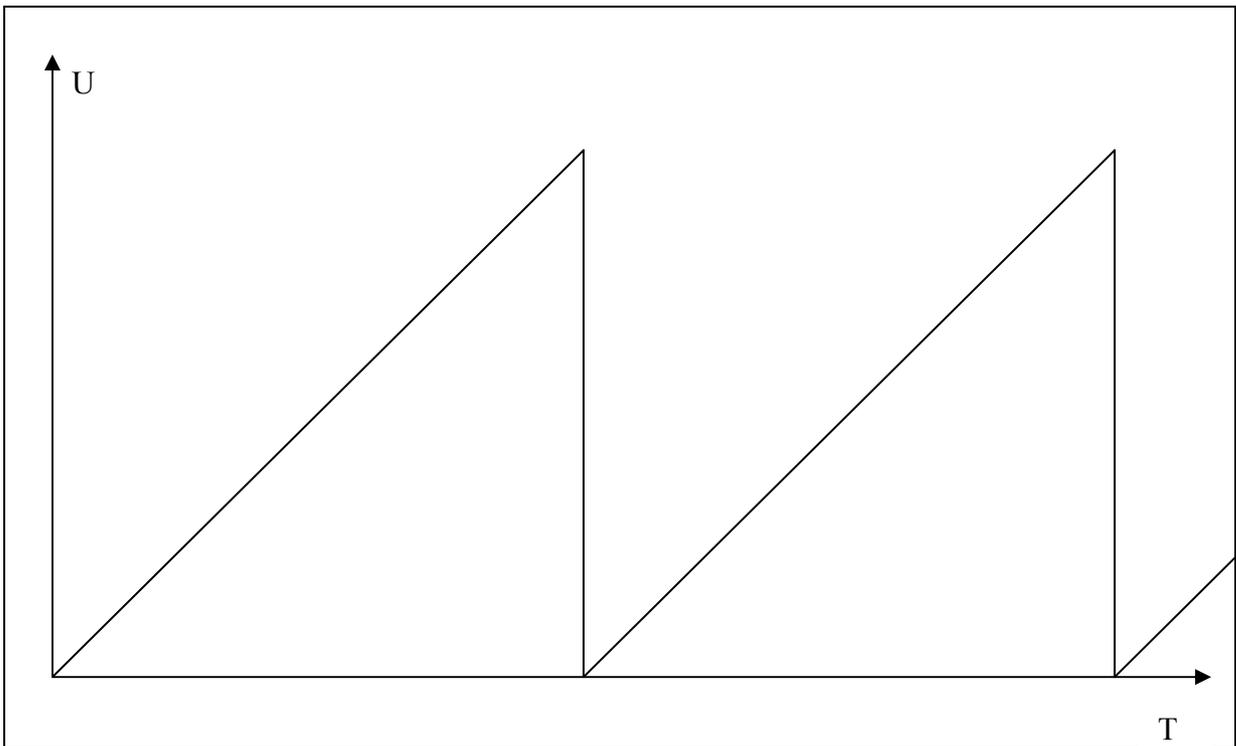
пряжения питания V_{CCIO}) и все остальные (от напряжения питания V_{CCINT}).

В качестве наглядной проверки работоспособности модулей системы был написан и продемонстрирован тест работы с пилотным образцом ЦАП.

В кейт VME были включены следующие модули – Процессор VME; Индикатор магистрали VME; проверяемый модуль ЦАП.

На выходе ЦАП был подключен осциллограф позволяющий наблюдать динамическое изменение выходного напряжения при записи в ЦАП с шин VME линейно увеличивающихся кодов данных.

Таким образом, на экране осциллографа можно было наблюдать динамическое увеличение выходного напряжения от минимального до максимального значения и повторение в цикле всей последовательности событий.



Линейный характер регистрируемых данных указывал на:

- Наличие всех используемых разрядов данных;
- Отсутствие замыканий между разрядами данных;
- В целом правильную работу всех функциональных модулей и канала передачи данных крейта VME.

Таким образом, в марте 2005 г. было создано рабочее место для настроек модулей VME и отладок программ для работы с модулями VME.

На этом первый этап работ был завершен.

Второй этап работ заключался в разработке схем для программирования трех типов модулей VME.

Модули опытной партии тестировались в ЦЕРНе в октябре – ноябре 2005 г.

В результате модули устойчиво работали в течение всего периода проверок.

Описание модулей VME.

1) Модуль MPD – разработчик – Климов (Курчатовский институт)

Таким образом – базовый адрес модуля MPD – 1775XX (octal)

Регистры данных: 177500; 177502; 177504; 177506 – запись/чтение байта данных.

Добавлен регистр управления: 177510 – запись/чтение – для 3х младших разрядов.

Таблица истинности управляющих выходов ПЛИС:

OCTAL	Управляющие выходы ПЛИС		
	33	34	35
0	H	H	H
1	L	H	H
2	H	L	H
3	L	L	H
4	H	H	L
5	L	H	L
6	H	L	L

7	L	L	L
---	---	---	---

2) Модуль TVDC – разработчик – Мелешко (Курчатовский институт).

Таким образом – базовый адрес модуля TVDC – 1777XX (octal)
Регистры данных: 177700; 177702; – запись/чтение байта данных.

3) Модуль Delays – разработчик – Логинов (МИФИ)

Т. к. предполагается изготовить 6 таких модулей их базовые адреса следующие:
1774XX; 1773XX; 1772XX; 1771XX; 1770XX; 1767XX (OCTAL)

Регистры данных: 177400; 177402; 177404; 177406 -запись/чтение 10 разрядов данных.

В модулях MPD и TVDC была реализована зашивка выбора адреса с помощью FPGA программирования, что на мой взгляд являлась шагом вперед сразу по нескольким параметрам, (по сравнению с использованием внешних переключателей адреса).

А именно:

- **исключаются менее надежные механические контакты переключателей, в условиях эксплуатации в шахте;**
- **исключается человеческий фактор (любителей пощелкать переключателями);**
- **сокращается число дополнительных входов ПЛИС от 5 переключателей;**
- **экономится место на плате модуля, занимаемого переключателями;**
- **увеличивается надежность работы модулей и всей системы в целом.**

В случае же экстраординарной необходимости изменения адреса - схема ПЛИС позволяет перепрограммирование – 10000 раз.

VMEBUS SLAVE INTERFACE

1. Introduction

Целью данной работы является разработка универсального интерфейса для подключения модулей аналоговой обработки к магистрали VME bus.

Данный интерфейс должен обеспечивать обмен данными и статусной информацией между внутренними подсистемами функционального модуля исполнителя (FUNCTIONAL MODULE SLAVE) и удовлетворять всем требованиям протокола VME (в соответствии с международным стандартом IEC 821 VME bus).

По условиям технического задания:

- Функциональные модули аналоговой обработки должны размещаться в двух крейтах (SUBRACK) VME;
- Модули могут использовать от 1 до 8 адресуемых устройств с функциями записи/чтения;

- Максимальная разрядность данных внутренних устройств – 16 двоичных разрядов;

2. Address Mapping

В соответствии с условиями технического задания выбран вариант короткой непривилегированной адресации A16/D16 (это самым дешевый вариант оборудования VME, удовлетворяющий условиям работы в крейтах модулей аналоговой обработки):

- Базовый вариант крейта может иметь только одну объединительную плату J1;
- Функциональные модули 6U, содержат только один разъем J1.

Уровни сигналов, используемые для выбора байтов к которым происходит обращение во время пересылки 16 разрядных данных указаны в tabl. – 1.

Tabl. –1.

Тип цикла	DS1*	DS0*	A01	LWORD
Пересылка двух байтов чтение/запись байтов (0-1)	L	L	L	H
Пересылка двух байтов чтение/запись байтов (2-3)	L	L	H	H

В модулях поддерживается адресация – A16/D16.

Bits <15 : 11> = 1

Bits <10 : 06> = Внешняя адресация функциональных модулей

Bits <05 : 04> = Зарезервировано для расширения системы

Bits <03 : 01> = Выбор одного из внутренних регистров модуля

Bit <00> = выбор работы с байтом или 16 разрядным словом – (не используется)

В модулях аналоговой обработки устанавливается базовый адрес – 174XXXoctal.

Адресация модулей производится по шинам A10 - A06.

Адреса модулей внутри крейта VME назначаются системным администратором и программируются в дешифраторе программируемой логической матрице (ПЛИС) каждого модуля индивидуально.

В соответствии с техническим заданием функциональный модуль может содержать от 1 до 8 адресуемых внутренних устройств, выбор которых производится в соответствии с заданным кодом на адресных шинах A03 – A01.

3. Address Modifier

Установка адресного модификатора производится по шинам AM00 – AM05.

Адресный модификатор AM0 – AM5 = 51octal поддерживает короткое непривилегированное обращение см. tabl.-2.

Tabl. –2.

Шестнадцатичный код	Address Modifier						Functions
	AM5	AM4	AM3	AM2	AM1	AM0	

29	H	L	H	L	L	H	Короткое непривилегированное обращение
----	---	---	---	---	---	---	--

4. Конструктивное исполнение

Функциональные модули выполняются в конструктивах VME –6U.

Схему ПЛИМ интерфейса и регистра данных целесообразно разместить на плате (BOARD) рядом с разъемом канала J1 (fig.-1). Все остальные устройства, входящие в состав модуля располагаются на оставшемся свободном пространстве платы, а также при необходимости на дополнительной мезонинной плате подключаемой через «межплатный» разъем на который выводятся сигналы с внутренних регистров данных ПЛИМ.

При необходимости можно использовать мезонинную технологию для установки дополнительной платы по площади равной площади основной платы.

Operating Temperature: 0 to 70 deg. C. 0 to 95% Humidity.

Supplies: +5V. at 0.4 A.

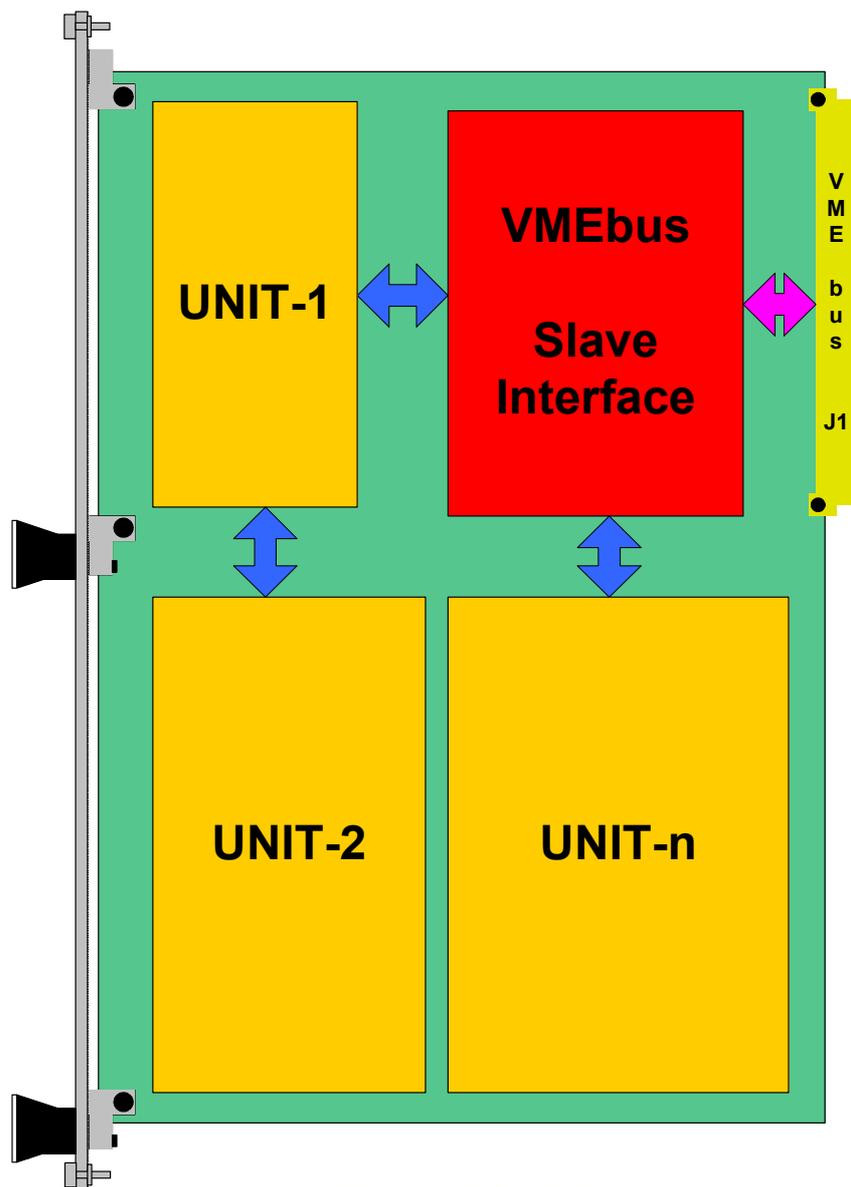
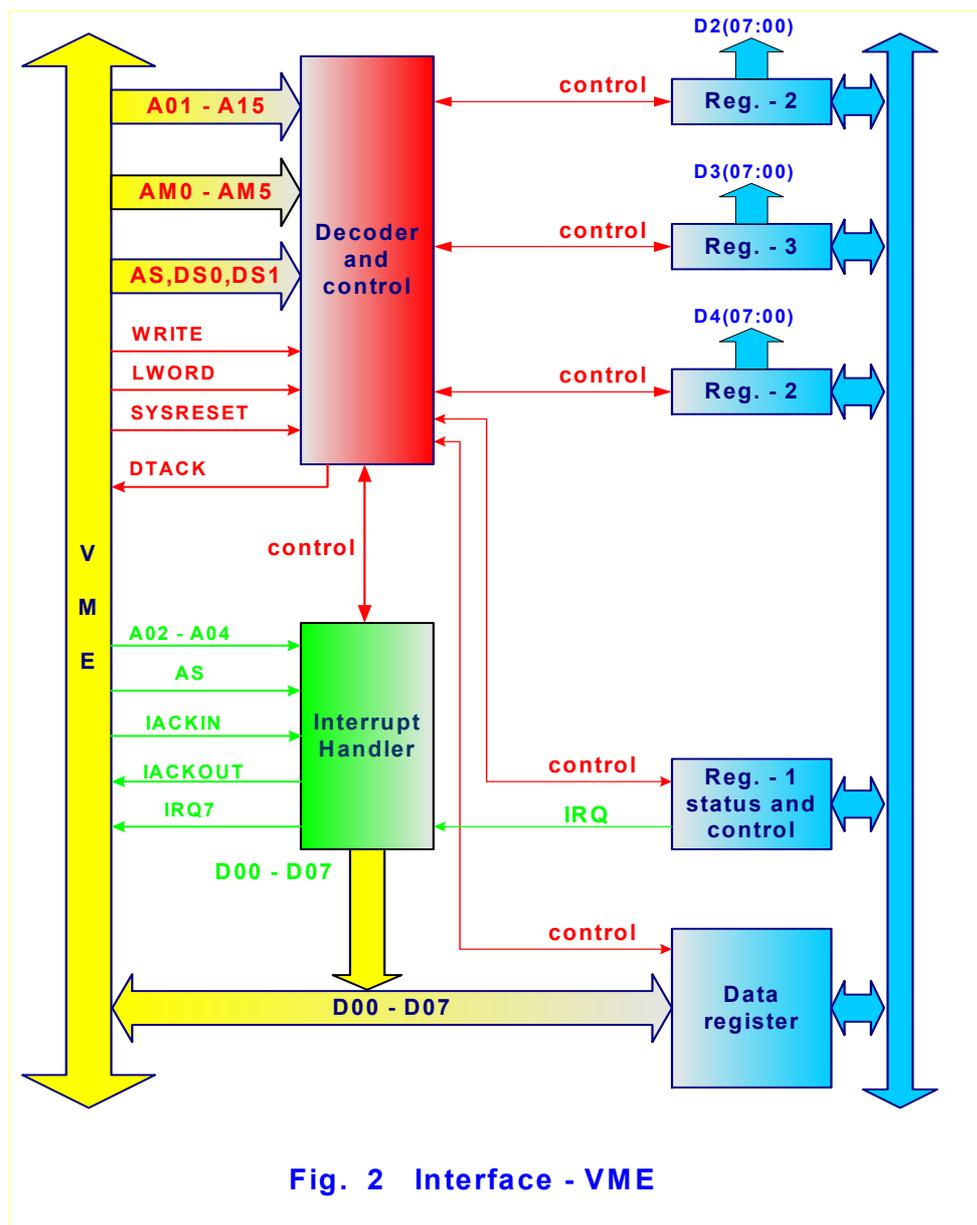


Fig. 1 BOARD

5. Functional diagram interface VME

В зависимости от типа функционального модуля внутри него могут находиться от 1 до 8 различных адресуемых устройств аналоговой обработки.

На fig.-2 в качестве примера приведена функциональная схема устройства с 4 адресуемыми внутренними регистрами: 3 регистра данных и 1 регистр управления и состояния.



Интерфейс должен выполнять все требования протокола VME:

- Дешифровать свой адрес на шинах DTB;
- Дешифровать функции обращения к внутренним устройствам;
- Обеспечивать обмен данными с внутренними устройствами;
- Предоставлять статусную информацию при обращении задатчика (MASTER);
- При необходимости - поддерживать протокол работы с прерываниями.

Функциональные модули аналоговой обработки с точки зрения логики работы магистрали VME, являются исполнителями (SLAVE), обнаруживающими циклы шины DTB, инициируемые MASTER и пересылающие данные в MASTER или получающие их от него, если эти циклы предписывают их работу при обращении к каналу.

Специальная интерфейсная логика должна учитывать характеристики магистрали VME, полное сопротивление ее сигнальных линий, время распространения сигналов, величины конечных нагрузок и т.д.

Для обеспечения работы модулей аналоговой обработки выбрано короткое непривилегированное обращение. При этом дешифрируется только 16 разрядов адреса - A16/D16 и SLAVE работает в режиме обмена с MASTER 16 разрядными словами данных.

При обращении к внутреннему устройству происходит дешифрация и исполнение команды, после чего на MASTER передается сигнал подтверждения пересылки данных DTACK*. Падающий фронт этого сигнала с циклом чтения показывает, что на шине DTB – истинные данные, а в цикле записи – что данные с шины DTB приняты. Нарастающий фронт показывает, что SLAVE освободил шину DTB в конце цикла чтения.

Временные диаграммы циклов чтения и записи приведены на fig. 4 и 5 соответственно.

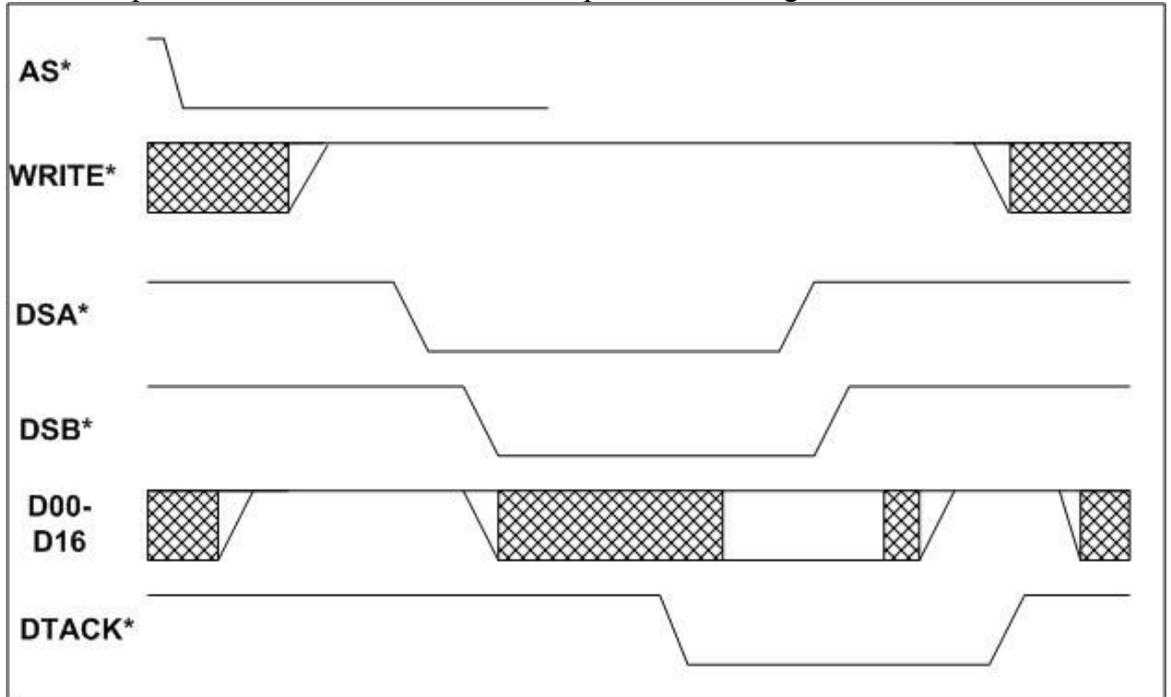


Fig. – 4 Временная диаграмма цикла чтения.

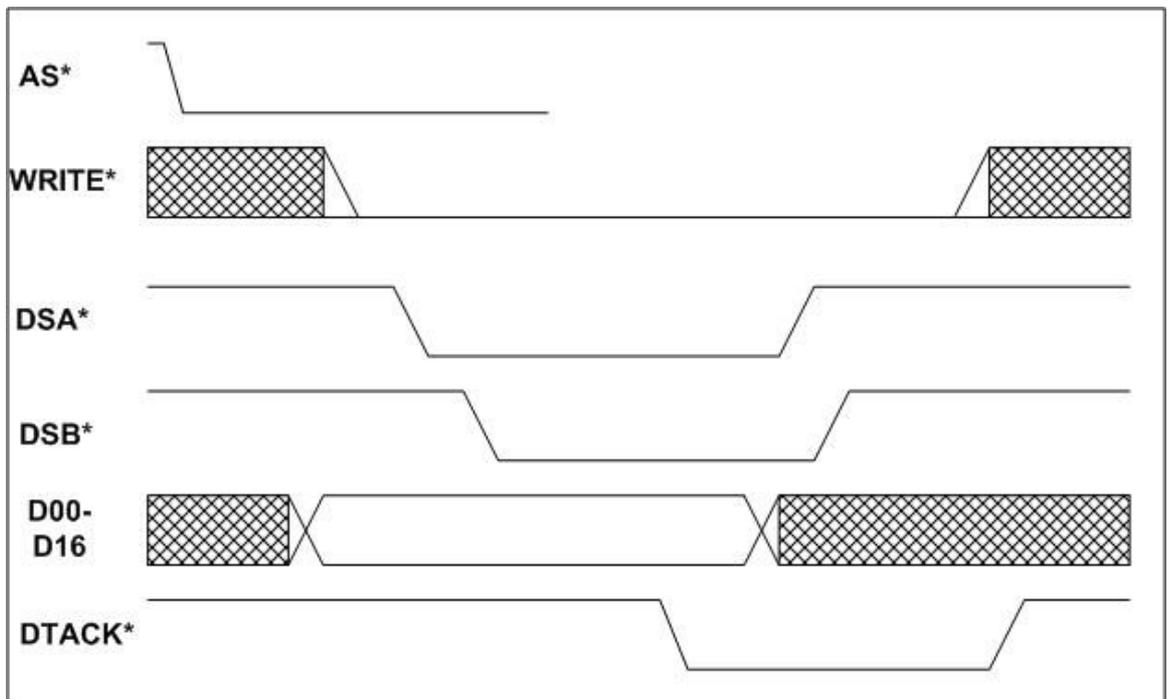


Fig. – 5 Временная диаграмма цикла записи.

6. Interrupts

Готовность устройств в функциональных модулях MASTER может определять по опросу готовности статусного регистра.

При необходимости в схему интерфейса VME можно включить контроллер прерываний, так называемый прерыватель (INTERRUPTER), который посылает 8 бит STATUS/ID – информации типа D08(0) по запросу обработчика прерываний.

При готовности принимать или передавать данные интерфейс запрашивает при наличии сигнала разрешения прерывание с наивысшим приоритетом IRQ7. При получении сигнала IACKIN* интерфейс выставляет на шинах данных D00 – D07 адрес – вектор прерывания.

На Fig.- 6 приведена временная диаграмма пересылки STATUS/ID – информации при однобайтовом цикле подтверждения прерывания.

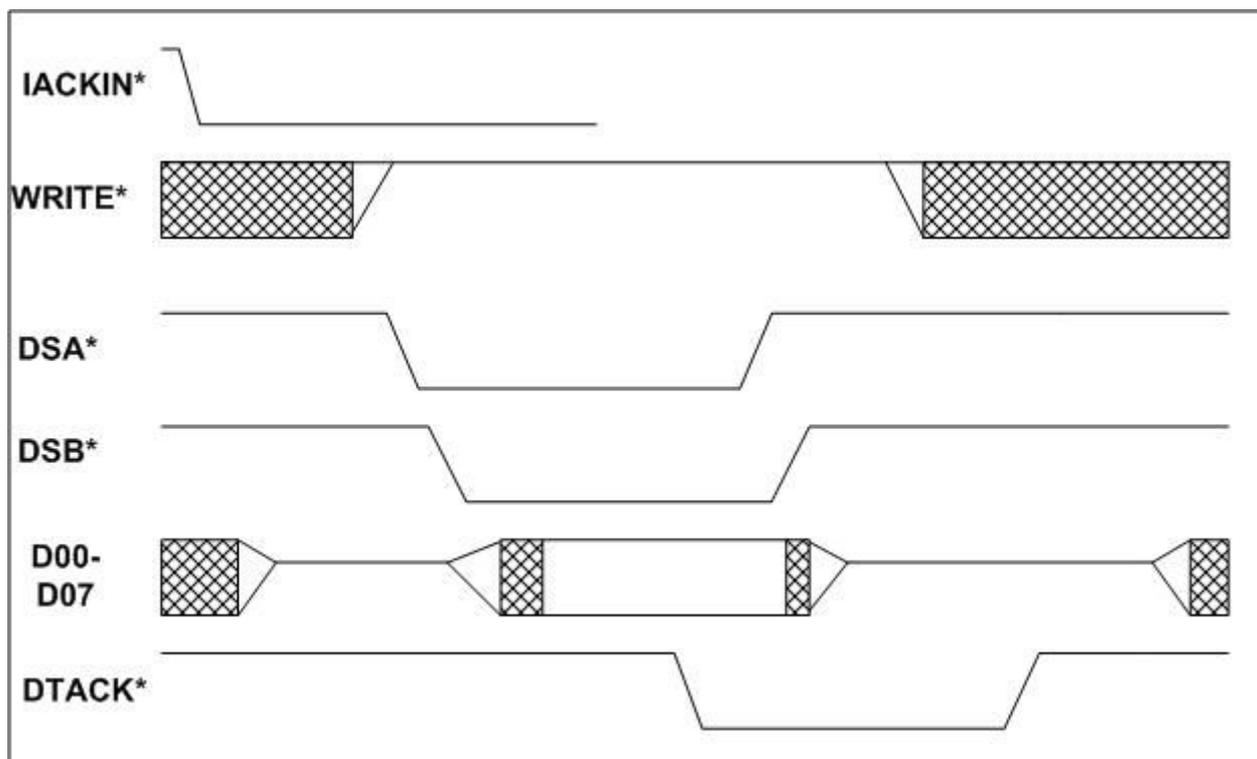


Fig. – 6. Отвечающий прерыватель

7. **Перепрограммируемые в системе ПЛИС CPLD семейства XC9500**

Особенности семейства

- Высокая производительность - Задержка от входа до выхода по всем выводам до 5 нс
- Частота работы 16-разрядного счетчика до 125 МГц
- Широкий диапазон выбора МС по степени интеграции
- От 36 до 288 макроячеек, или от 800 до 6400 вентилей
- Возможность перепрограммирования в системе с напряжением питания 5 В
- Не менее 10000 циклов запись/стирание
- Расширенные возможности закрепления выводов перед трассировкой
- Наличие гибкого функционального блока 36V18
- Любая из 18 макроячеек функционального блока может выполнять логическую функцию 36 переменных от 1 до 90 термов
- Глобальные и программируемые тактовые сигналы, сигнал разрешение выхода, сигналы установки и сброса триггера
- Мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 5 В

МС семейства XC9500 могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование на ходу.

Для программирования МС семейства XC9500 не требуется программатор, перепрограммирование осуществляется сигналами от элементов с напряжением питания 5 В через специальные выводы МС (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования МС превышает 10000. Записанная конфигурация может сохраняться более 20-ти лет. В состав семейства XC9500 входят шесть МС, емкостью от 36 до 288 макроячеек (от 800 до 6 400 вентилей, соответственно) в различных корпусах.

Все МС семейства XC9500 совместимы по контактам, что обеспечивает возможность легкого перехода от одной МС к другой в том же корпусе.

8. Принципиальная схема интерфейса.

Принципиальная схема цифровой части модуля VME, включает в себя:

- Дешифратор адреса VME;
- Дешифратор внутренних регистров модуля;
- Регистры данных;
- Регистр управления и состояния;
- Схему прерываний;
- Схемы управления и синхронизации.

Address Mapping

- В ПЛИМ устанавливается базовый адрес обращения к функциональным модулям - F8XXh.
- Как было описано выше - адрес отдельного модуля в крейте задается системным администратором и программируется в дешифраторе адреса VME (A10 – A06) ПЛИМ. Общее число возможных адресаций превосходит максимально возможное число станций в крейте VME.
- Выбор обращения к внутренним регистрам осуществляется с помощью дешифратора внутренних регистров в соответствии с кодами адресных шин A03 – A01.

Организация внутренних регистров данных для управления аналоговой частью модуля

Рассматриваемый модуль содержит регистры данных, с возможностью записи и чтения данных по шинам VME. Через буферные схемы данные с этих регистров выдаются на внешний разъем и используются для управления аналоговой схемой модуля.

Используемый тип ПЛИМ обеспечивает мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 5 В.

Предлагается все выходные сигналы для управления аналоговыми схемами объединить на межплатном разъеме, что позволит при необходимости подключать к нему дополнительную плату, выполненную по мезонинной технологии.

Сигналы синхронизации

Все сигналы команд записи и чтения, а также сигнал разрешения выдачи вектора прерывания собираются на общей сборке ИЛИ. Сигнал с выхода сборки ИЛИ после задержки на время исполнения выставляется в канал VME сигналом подтверждения DTACK.

Организация прерываний

В большинстве схем проектируемых аналоговых модулей работа с прерываниями не предусматривается, однако в состав ПЛМ включена схема прерываний для отработки программного обеспечения и дальнейших расширений системы. Системный сигнал SYSRESET сбрасывает схему прерываний в исходное состояние. Если установить бит (07) в регистре управления и состояния (PUC) в 1 то на выходе ПЛМ возникнет сигнал запроса прерывания IRQ. Этот сигнал можно либо сразу направить на шину с наивысшим приоритетом IRQ7 канала VME, либо (в общем случае) этот сигнал поступает на распределительные контакты запросов прерывания с различными уровнями IRQ7 – IRQ1. В рассматриваемом случае выбрано прерывание по наивысшему приоритету IRQ7 и в внутреннем дешифраторе подтверждения прерываний ПЛМ установлен соответствующий номер приоритета. При выборе другого приоритета необходимо выбрать соответствующий номер подтверждения прерываний в дешифраторе ПЛМ. Сигнал подтверждения прерывания IACKIN сбрасывает триггер IRQ и открывает ключи выдачи вектора прерывания. Вектор прерывания должен указывать на адрес программы обработки этого прерывания. Программа обработки прерывания должна сбросить бит (07) PUC в состояние 0.

Конструкция функционального модуля в интерфейсом VME

На fig. 8 показано примерное расположение интерфейса VME на плате функционального модуля VME.

- Целесообразно расположить микросхему ПЛМ рядом с разъемом VME т.к. между ними проходят соединения по шинам: адреса; данным и сигналам управления и состояния.
- Также отдельным элементом устанавливается тактовый генератор. Вариант использования системной шины с тактовым генератором менее предпочтителен т. к. при использовании в системе различных процессоров и контроллеров в общем случае имеет право изменяться и системная тактовая частота, что в свою очередь может привести к возникновению сбойных ситуаций в системе.
- На рисунке показаны разъемы выбора уровня прерываний IRQ и внешнего программирования ПЛМ – JTAG.
- На рисунке показан разъем данных для управления аналоговой схемой модуля D(23-00). Этот разъем целесообразно устанавливать на опытных образцах модулей для облегчения отладки и в случае, если аналоговая часть модуля не умещается на свободной части платы и требуется использование мезонинной технологии. В случае размещения аналоговой части на оставшемся свободном месте платы разъем данных не нужен.

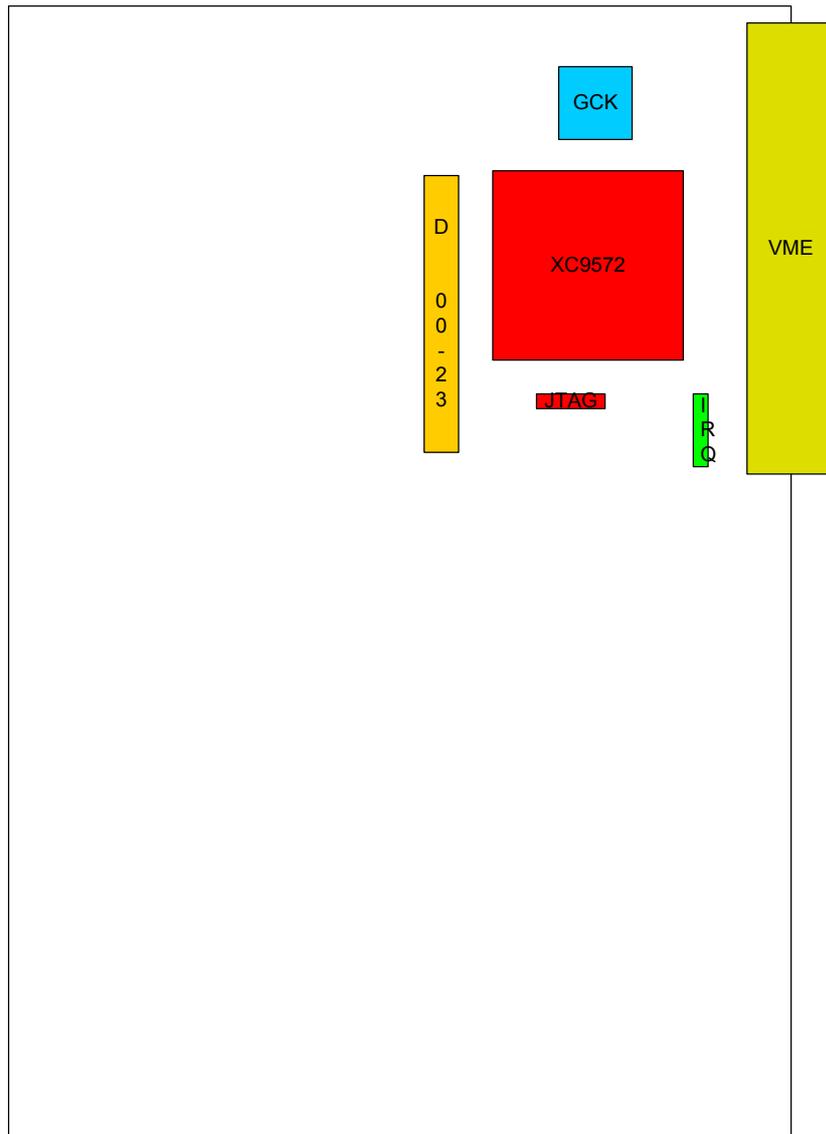


Fig. 8 Расположение элементов интерфейса на плате

МОДЕРНИЗАЦИЯ МОДУЛЕЙ VME

В настоящее время внесены следующие изменения в модули Delays:

1. Добавлены на 5 линий адреса - переключатели;
2. Добавлен дополнительный регистр 177410 – для чтения 6 разрядов кода ошибки;

Таблица распределения адресов (OCTAL) в крейте VME

	Базовый адрес	Регистры данных	Статусные регистры
TVDC	1777XX	177700; 177702	-
MPD	1775XX	177500; 177502; 177504; 177506	177510
Delays 1	1774XX	177400; 177402; 177404; 177406	177410
Delays 2	1773XX	177300; 177302; 177304; 177306	177310
Delays 3	1772XX	177200; 177202; 177204; 177206	177210
Delays 4	1771XX	177100; 177102; 177104; 177106	177110
Delays 5	1770XX	177000; 177002; 177004; 177006	177010
Delays 6	1767XX	176700; 176702; 176704; 176706	176710
OR	1764XX	176400	176400
TUT0	1760XX	176000; 176002; 176004; 176006; 176010	176012; 176014

Веселовский А. В. 24.04.2006